

培训服务合同

委 托 方：深圳理工大学（筹）（以下简称甲方）

受 托 方：叩持（大连）信息技术有限公司（以下简称乙方）

根据《中华人民共和国民法典》及相关法律法规的规定，为促进学科建设和发展，提升甲方在学科领域的综合实力和竞争力，甲乙双方在平等、自愿、公平、诚实信用的基础上，鉴于乙方拥有芯片设计全流程平台资源及相应实训案例和交付能力，甲方希望得到相关的使用服务，双方经友好协商，达成如下协议：

第一条 甲方委托乙方提供技术服务项目的基本情况

- 1.1 项目名称：ASIC 芯片设计平台使用服务项目。芯片设计平台使用服务
- 1.2 面向对象：甲方相关专业本科及研究生。
- 1.3 项目周期：自11月16日起，每周一至周五上午9:00-12:00，下午13:30-17:00（全天共6个课时），每个课时45分钟，共为期45个工作日。
- 1.4 项目地点：由甲方指定为深圳理工大学，线下面授形式授课。
- 1.5 课程体系开发：按照附件1表为准开发课程讲义（.ppt格式）。

第二条 甲乙双方的权利和义务：

2.1 甲方的权利和义务

- 2.1.1 甲方有权在服务前就服务项目内容、时间、参加人员等事项与乙方进行确认。
- 2.1.2 甲方按合同约定按时支付给乙方相应的项目服务费用。
- 2.1.3 项目合作期间，由乙方指导甲方学员产生的知识产权归甲方单独所有，乙方不得在未经对方允许的情况下向第三方泄露、转让、许可使用技术成果。
- 2.1.4 项目合作期间，乙方提供的相关课程讲义资料、项目版权等均归乙方所有，仅限于甲方在项目合作期间使用。甲方有保密的责任，不得向任何本合同以外的第三方披露使用（包括但不限于出借、转让、租售等）。

2.2 乙方的权利和义务

- 2.2.1 乙方应根据甲方需求确定项目服务大纲,并于项目正式开始前,将服务大纲交甲方审核,甲方审核无误后交乙方正式制作相应服务安排。在项目正式开始前5日内,乙方应将制作好的服务进程计划交付甲方(.ppt格式)。
- 2.2.2 乙方保证,乙方在依本合同为甲方提供服务过程中使用的软件、音视频、数据和文档(若有)等均不侵犯任何第三人的合法权益。若有人提出主张、法律或行政程序(合称“侵权指控”),声称甲方侵犯了其知识产权等合法权益的,乙方承担由此产生的一切法律后果,甲方不承担任何责任。
- 2.2.3 乙方保证项目负责工程师按照本合同约定的时间为甲方提供服务,项目周期不应少于本合同约定。若收到首期款后未按照合同约定为甲方开展项目内容,应在5个工作日退回甲方所付的所有款项,并向甲方支付10%的违约金。
- 2.2.4 乙方需在此次服务讲义的所有页面添加“深圳理工大学(筹)”字样和相应的LOGO,不得使用乙方及其他企业的名字和LOGO。

2.3 保密义务

甲乙双方同意对从对方获得的信息承担保密责任,除了用于执行本合同的目的外,未经对方书面许可,不得向第三方直接或间接地披露上述信息。不论本合同是否变更、解除或终止,本条款均具法律效力。

第三条 费用和支付方式:

3.1 服务清单及价格:

项目	单价(元)	建设数量	培训期数	合计
定制课时费	800	270 课时/每期	2 期	432000.00
总计: ¥432000.00 大写: 肆拾叁万贰仟元整				
费用说明	课时费包含课程体系开发及电子课件制作(不少于100)、讲师费用			

3.2 甲方应支付乙方项目服务费合计为¥432000.00元(大写:肆拾叁万贰仟元整)。

3.3 支付方式:

- (1) 甲方在合同签订后的 20 个工作日内, 向乙方支付合同金额的 30%, 即 ¥129600.00 元 (大写: 壹拾贰万玖仟陆佰元整)。乙方收到甲方的首笔款项后 3 个工作日内为甲方开具相应金额的增值税专用发票 (税率 1%) 并开始履行服务。
- (2) 在 2024 年 3 月 31 日 内, 甲方需向乙方支付合同金额的 40%, 即 ¥172800.00 元 (大写: 壹拾柒万贰仟捌佰元整)。乙方收到甲方款项后 3 个工作日内为甲方开具相应金额的增值税专用发票 (税率 1%)。
- (3) 项目二期服务结束, 并获得用户最终确认, 甲方向乙方支付合同金额的 30% 剩余尾款, 即 ¥129600.00 元 (大写: 壹拾贰万玖仟陆佰元整), 乙方收到款项后 3 个工作日内开具相应金额的增值税专用发票 (税率为 1%)。

3.4 账户信息:

乙方收款账户:

开户名: 印特(大连)信息技术有限公司

账号: 411909574710111

开户行: 招商银行股份有限公司大连软件园支行

甲方的开票信息为:

名称: 深圳理工大学(筹)

纳税人识别号: 12440300MB2D1271XF

地址、电话: 广东省深圳市南山区桃源街道学苑大道 1068 号, 0755-86392018

开户行及账号: 中信银行深圳华侨城支行, 8110 3010 1170 0546 589

第四条 违约责任与赔偿

- 4.1 甲方确定项目服务内容后应向乙方及时支付相关费用并按本合同约定付清相关费用, 乙方及时安排项目负责工程师以及统筹协调服务内容进程。若甲方在任何一起项目开始前三天要求取消授课, 甲方需支付本合同总培训费 10% 的违约金, 乙方有权直接在甲方已支付的服务费用中予以扣减。若开始后中途变更或取消的, 为甲方提供一年保留服务, 甲方应在一年内书面 (邮件或正式文件) 联系乙方并与乙方另行协商完成本服务的具体事项。

- 4.2 本合同签署后,若乙方单方面取消或者推迟此次服务计划,乙方需向甲方支付本合同总服务费 10%的违约金。
- 4.3 乙方提供给甲方之项目服务讲义文件,仅限甲方校内教学及实训使用。若甲方未尽力到保密职责,乙方保留向甲方请求 10%的款项作为违约金的权利。
- 4.4 若一方事先未征得对方书面同意,将对方在此项目服务期间产生或提供的信息泄露给任何第三方,对方有权要求泄露方承担本合同总金额 10%的违约责任,因此给对方造成损失的,还应承担赔偿责任。
- 4.5 项目合作期间,甲方学员根据乙方培训的技术资料和甲方的工作条件所完成的新的技术成果,该成果归属于甲方所有。未经甲方书面允许,乙方不得向任何本合同以外的第三方泄漏、转让、许可使用该技术成果。
- 4.6 因不可抗力造成本服务课程无法按时履行且无法另行安排时间继续履行的,甲乙双方可依法减轻或不承担责任。
- 4.7 与本合同有关的一切争议,双方均应友好协商解决,协商不成的,任何一方均有权向乙方所在地有管辖权的人民法院提起诉讼。

第五条 生效及文本

本合同自甲乙双方法定代表人或授权代表签字并加盖公司公章后即生效;本合同一式两份,双方各执一份,具有同等法律效力。

甲方:深圳理工大学(筹)

乙方:叩特(大连)信息技术有限公司

日期:2023年12月29日

日期:2023年12月29日

签字盖章:

签字盖章:



附件一

课程名称	课程编号	课程内容	实验所需 EDA 软件	课时
数字芯片开发 全流程	1	芯片设计介绍 芯片设计流程介绍		2
项目概述	2	项目介绍 项目工具 流程概述 算力芯片的简介		4
CPU 概要与技术	3	程序基本概念 硬件基本概念 CPU 性能的定义及测量 功耗墙		2
CPU 指令	4	CPU 硬件的操作 CPU 硬件操作数 CPU 中指令的表示 逻辑操作 决策指令 CPU 硬件对过程的支持 MIPS 中 32 位立即数寻址和地址寻址 并行与指令		4
CPU 的算术运算	5	加法、减法 乘法 除法 浮点运算		6

CPU 流水线与控制逻辑	6	流水线概述 流水线数据通路及其控制 通过硬件设计语言描述和建模流水线	VCS Verdi	6
Cache	7	Cache 的基本原理 Cache 的访问 Cache Miss	VCS Verdi	6
EDA 工具简介	8	EDA 工具概述 Makefile 的使用 编译仿真方法	VCS Verdi	2
EDA 工具实验	9	完成数据选择器代码的编译仿真: 要求: 1. 使用三种 makefile 完成代码的编译仿真 2. 使用 verdi-nWave 查看 fsdb 类型的波形文件 3. 使用 nTrace 完成代码追踪 4. 使用 nSchema 查看电路原理图	VCS Verdi	4
Verilog 语法总结	10	Verilog 概述与建模 Verilog 基本语法概念 Verilog 测试与验证 Verilog 状态机		6
FIFO	11	FIFO 的基本概念 单比特信号的跨时钟处理 同异步 FIFO 的实现原理		6
设计实验	12	设计代码实践: 8to16 的同步 FIFO 设计实践 设计代码实践: 基于同步 FIFO 的验证平台搭建	VCS Verdi	6

		设计代码实践: 采用实例化的方法设计一个异步 FIFO 设计代码实践: 基于异步 FIFO 的验证平台搭建		
UART 协议	13	协议概述 握手机制 UART 协议相关概念的介绍 UART 协议计算		2
UART 协议实验	14	设计代码实践: TX 模块设计 设计代码实践: TX 模块验证平台搭建 设计代码实践: RX 模块设计 设计代码实践: RX 模块验证平台搭建 设计代码实践: master 模块设计 设计代码实践: master 模块验证平台搭建 设计代码实践: slave 模块设计 设计代码实践: slave 模块验证平台搭建 设计代码实践: 基于 UART 模块验证平台搭建	VCS Verdi	4
SPI 协议	15	协议概述 握手机制 SPI 协议相关概念的介绍 SPI 实际应用场景		2
SPI 协议实验	16	设计代码实践: master 模块设计 设计代码实践: master 模块验证平台搭建 设计代码实践: slave 模块设计	VCS Verdi	4

		设计代码实践: slave 模块验证平台搭建 设计代码实践: 基于 Spi 模块验证平台搭建		
SOC 系统设计 实验 1	17	SPI 接口时序详解和模块划分 SPI Master/Slave 状态机详解 SPI 接口时序实现和寄存器模块解析	VCS Verdi	6
IIC 协议	18	IIC 协议概述 仲裁的基本概念 IIC 协议的应用场景		2
IIC 协议实验	19	设计代码实践: master 模块设计 设计代码实践: master 模块验证平台搭建 设计代码实践: slave 模块设计 设计代码实践: slave 模块验证平台搭建 设计代码实践: 基于 IIC 模块验证平台搭建	VCS Verdi	4
SOC 系统设计 实验 2	20	I2C 接口时序详解和模块划分 I2C Master/Slave 状态机详解 I2C 接口时序实现和寄存器模块解析	VCS Verdi	6
APB 协议	21	APB 协议相关概念介绍 APB 接口信号 APB 接口时序	VCS Verdi	2

APB 协议实验	22	设计代码实践: counter 模块设计 设计代码实践: counter 模块验证平台搭建 设计代码实践: slave 模块设计 设计代码实践: slave 模块验证平台搭建 设计代码实践: 基于 APB 控制 counter 验证平台搭建	VCS Verdi	4
AHB 协议	23	AHB 协议介绍 AHB 协议信号介绍 AHB 协议时序		2
AHB 协议实验	24	设计代码实践: master 模块设计 设计代码实践: master 模块验证平台搭建 设计代码实践: slave 模块设计 设计代码实践: slave 模块验证平台搭建 设计代码实践: 基于 AHB 模块验证平台搭建	VCS Verdi	4
AXI 协议	25	AXI 协议概述 AXI 协议时序分析 AXI 协议总结		2
AXI 协议实验	26	设计代码实践: AXI2AHB bridge 模块设计	VCS Verdi	4
SOC 系统设计实验 3	27	SoC 系统和 Cortex-M0 内核介绍 AMBA 总线协议介绍 I2C/SPI/eFlash IP 介绍和设计目标解析	VCS Verdi	6

		eFlash IP 介绍和 Controller 模块划分		
SV 数据类型	28	SV_数据类型 SV 实践: 数据类型操作实验 SV 实践: 联合结构体的运行分析 SV_过程语句&子程序 SV 实践: 子程序的应用与优化	VCS Verdi	6
SV_interface	29	SV_interface SV 实践: 使用接口实现 DUT 和 testbench 之间的通信	VCS Verdi	4
SV_类	30	SV_OOP SV_多态 SV 实践: 类的继承、多态的类型转换实验 SV_virtual interface SV 实践: 使用虚接口完成与 DUT 的通信	VCS Verdi	8
SV_线程	31	多线程之间的通信 SV 实践: 线程间事件通信数据交互实验	VCS Verdi	4
SV_随机化约束	32	SV_随机化约束的构建及应用 SV 实践: 随机约束实验 SV 实践: 随机约束的数组约束实践	VCS Verdi	4
验证覆盖率	33	验证覆盖率模块的及覆盖率的收集 SV 实践: 定义和使用 covergroup 的	VCS Verdi	4

		技巧		
UVM_sequence	34	UVM_Factory UVM 实践: 集成 UVM 库到验证环境 UVM_Sequencer UVM_sequence UVM 实践: 实现 apb_sequencer UVM 实践: 实现 virtual_sequencer	VCS Verdi	8
UVM_env	35	UVM_Driver_Monitor UVM 实践: apb_driver 的工厂注册和实现 UVM 实践: 实现 apb_driver 和 apb_monitor UVM_TLM UVM_Scoreboard UVM_message UVM 实践: 实现 scoreboard 和 base_test6 UVM_Agent_Env_Test UVM 实践: 实现 apb_agent 和 apb_env	VCS Verdi	10
UVM 环境的启动	36	UVM_phase_objection UVM_transaction UVM_do UVM_sequence 进阶 UVM_config_db UVM 实践: 在 apb_sqr 上生成 apb_trans	VCS Verdi	12
MCU 微控制器 APB_UART 模	37	了解 MCU 微控制器中 APB_UART 子模块:	VCS Verdi	12

<p>块验证</p>		<p>APB 协议和 UVC 讲解 UART 协议和 UVC 实践 UART spec 分析 验证功能点的提取 验证框图和验证环境介绍 APB_UART 模块验证实验: 项目实践: 引入寄存器模型和 Scoreboard 进行数据比对 项目实践: 编写 TestCase 以收集覆盖率 项目实践: 分析覆盖率并补充 Corner Case, 提升覆盖率 项目实践: UART 模块验证答疑与常见问题解决</p>		
<p>MCU 微控制器 APB_SPI 模块 验证</p>	<p>38</p>	<p>了解 MCU 微控制器中 APB_SPI 子模块: apb 协议/uvc 讲解 spi 协议/uvc 讲解 spi spec 分析 验证功能点提取 验证框图讲解 验证环境介绍 APB_SPI 模块验证实验: 项目实践: 寄存器模型引入与应用 项目实践: SPI Scoreboard 的实际应用 项目实践: TestCase 的编写与设计 项目实践: 覆盖率收集与分析 项目实践: 覆盖率分析与 Corner Case</p>	<p>VCS Verdi</p>	<p>6</p>

		<p>补充, 提升验证覆盖率</p> <p>项目实践: SPI 模块验证答疑与常见问题解决</p>		
<p>MCU 微控制器</p> <p>SoC 片上系统</p> <p>I2C 验证实验</p>	39	<p>了解 MCU 微控制器 SoC 片上系统 I2C 系统:</p> <p>SoC 系统及项目介绍</p> <p>SoC 验证环境介绍</p> <p>SoC 验证 AMBA 总线 AHB</p> <p>SoC 验证 AMBA 总线 APB</p> <p>I2C 协议&Spec</p> <p>提取 I2C 测试点</p> <p>SoC 片上系统 I2C 系统级验证实验:</p> <p>SOC 实践: I2C 主机 7bit 发送功能验证</p> <p>SOC 实践: I2C 主机 7bit 接收功能验证</p> <p>SOC 实践: I2C 主机 10bit 收发功能验证</p> <p>SOC 实践: I2C 主机 7bit fast+收发功能验证</p> <p>SOC 实践: 验证 I2C 从机收发功能</p> <p>SOC 实践: 验证 I2C 从机 fast+发送和收发功能</p> <p>SOC 实践: SoC 片上系统 I2C 系统级验证总结</p>	<p>VCS</p> <p>Verdi</p>	12
MBIST	40	<p>MBIST flow</p> <p>Memory Bist 架构</p> <p>Memory BIST Repair 原理</p>	<p>Tessent</p> <p>Verdi</p>	12

BSD 及 JTAG	41	boundary scan introduction Boundary Scan Verification and Test JTAG	Tessent Verdi	6
SCAN 及 ATPG	42	扫描设计(SCAN)概述 ATPG introduction and overview Test ability issues	Tessent Verdi	12
数字后端流程概述	43	芯片开发流程 数字后端流程以及常用工具		3
静态时序分析	44	timing path 时序分析流程及时序模型 时序收敛		3
STA 实验	45	STA 实践: 环境建立&数据读取 时序分析流程及时序模型 STA 实践: update_timing STA 实践: 熟悉常用指令 STA 实践: 分析时序报告 STA 实践: 时序收敛&输出 eco file	prime time	6
逻辑综合	46	了解综合的相关知识 综合优化的相关知识 时钟约束及规则的知识		6
DC 实验	47	逻辑综合实践: 综合环境建立 逻辑综合实践: 约束文件编写 逻辑综合实践: flow 搭建并执行编译 逻辑综合实践: 检查和文件输出	design compiler	6
布局布线	48	布局布线的基本流程 芯片规划及标准库单元摆放		4

		时钟树综合基本原理 布线及优化流程		
PR 实验	49	PR 实践: 数据准备 PR 实践: icc 工具介绍 PR 实践: 物理库创建 PR 实践: 设计初始化 PR 实践: IO 摆放及 IO filler 插入 PR 实践: macro 摆放 PR 实践: 物理 constraint 的添加 PR 实践: 电源网络建立		8
MCU 物理实现	50	进行 place 阶段设置 分析 place 结果并迭代优化 CTS 单元及绕线层指定 创建并应用 NDR 分析 CTS 结果&完成 CTS 优化 进行 route 阶段设置 分析优化 route 后的时序及 DRC 完成 DFM 优化 filler cell 添加 输出网表、def、GDS 等文件	icc	12